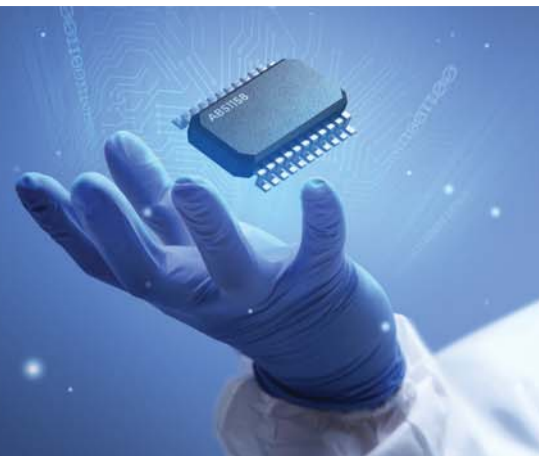


국내외 반도체업체 '성능UP' 분주 패키징 활용·파운드리 영토확장 가속



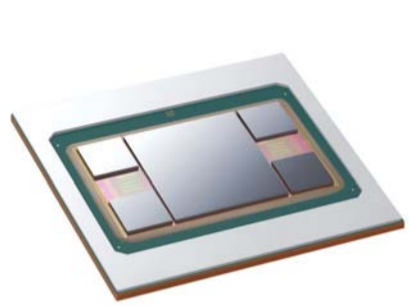
또다른 기술접목으로 성능 극대화
SoC, NPU 등 패키징 요소 각종
R&D센터 등 파운드리 투자 확대

무어의 법칙이 끝났다고 반도체 성능 발전도 멈추는 것은 아니다. 반도체 집적도를 높이는 데서 벗어나, 반도체에 또다른 기술을 적용해 성능을 극대화하는 방법. 패키징을 활용하는 이른바 '모어 댄 무어'가 화두로 떠올랐다.

패키징은 말 그대로 반도체를 포장하는 방법이다. 본래 반도체를 안정적으로 활용할 수 있도록 보호하는 데에 초점을 맞춰왔지만, 최근에는 성능을 극대화할 수 있는 기술이 속속 개발되면서 다양한 형태로 상품화되고 있다.

엔비디아 키스 스트리머 부사장은 무어의 법칙이 제조혁신에만 초점을 맞춘 과거 트렌드에 불과하다며, 현대에는 소프트웨어를 비롯한 다양한 기술이 동반 성장하는 만큼 이들을 함께 고려한 성능 향상에 주목해야 한다고 주장하기도 했다.

가장 잘 알려진 패키징 상품이 바로 '통합칩(SoC)'다. CPU와 GPU, 메모



2.5D 패키지 기술 'I-Cube4' /삼성전자

리까지 칩 하나에 구현해 크기와 전력 소모, 발열까지 최소화한 제품이다. 회로간 거리를 좁히고 저항을 줄여 성능적으로도 큰 폭의 개선 효과가 있다.

SoC는 이미 다양한 곳에 활용되고 있다. 노트북용 프로세서는 물론, 스마트폰과 같은 소형 기기들은 이제 SoC 탑재가 필수적인 분위기다. 삼성전자 엑시노스 980과 2100 등이 대표적인 국산 SoC, 퀄컴 스냅드래곤 888과 애플 M1 역시 SoC다.

최근에는 NPU(신경망 프로세서)가 최신 반도체 성능을 극대화해주는 핵심 요소로 평가받는다. NPU는 신경망과 같이 다중 연산을 가능케 하는 처리장치로, 딥러닝 등 인공지능(AI)을 사용



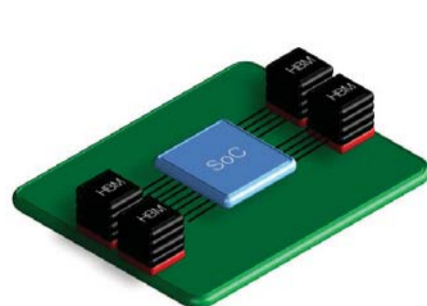
엑시노스 980 /삼성전자

하는데 특화됐다. CPU나 GPU에서 처리하려면 복잡한 연산을 훨씬 빠르고 쉽게 해준다.

NPU는 통신을 연결하지 않아도 디바이스에서 AI를 구동하는 개념인 '온디바이스 AI'에 필수적인 요소다. 빅데이터 연산이 크게 늘어난 최신 컴퓨팅 환경에서 기기 성능을 극대화하는데 큰 역할을 한다.

삼성전자는 이같은 AI 처리 기술을 메모리 반도체, D램에도 적용했다. 'HBM-PIM'이 주인공이다. D램에 AI 엔진을 통합해 다량의 데이터를 처리할 때에도 병목 현상을 최소화하는 원리로 메모리 속도와 한계를 극대화했다.

삼성전자의 'I-CUBE' 기술은 비메



SoC와 HBM 개념도. /SK하이닉스

모리 반도체와 메모리 반도체를 하나로 묶는 기술이다. 최근 발표한 'I-Cube 4'는 로직 반도체에 고성능 메모리인 HBM을 4개 묶을 수 있다. 비메모리와 메모리를 하나의 칩처럼 운용할 수 있어서 서버 컴퓨터를 훨씬 효율적으로 운영할 수 있으며, 성능을 높이는 동시에 면적도 줄이는 장점을 가지고 있다.

그밖에도 반도체 업계는 다양한 기술을 개발하는데 주력하고 있다. 내장형 M램도 패키징 상품 중 하나다. 통합칩에 다양한 기술을 적용해 효율을 높이는 방법은 물론, 반도체를 위로 쌓는 적층 기술 개발도 꾸준히 진행 중이다.

특히 파운드리 업계가 활발한 투자를 이어가고 있다. TSMC가 최근 일본에

새로 조상키로 한 R&D 센터가 대표적. 투자금액이 3500억원 수준으로, 패키징 기술력이 높은 현지 업체들이 다수 참여하는 것으로 알려졌다. 자체적으로도 3차원 패브릭 제품과 새로운 통합칩 등 새로운 기술을 개발해 공개한 상태다.

파운드리 사업 확장을 선언한 인텔도 패키징을 챙겼다. 뉴멕시코주 리오랜초 공장에 패키징 시설을 추가로 증설키로 한 것. 마찬가지로 반도체를 쌓는 기술인 포베로스 등 다양한 패키징 기술을 활용해 모듈을 생산한다는 방침이다.

삼성전자 역시 일찌감치 패키징에 주목했다. 2019년 자회사 삼성전기에서 패키징 사업을 인수하고 역량 확대를 본격화한 것. 최근 다양한 패키징 기술을 새로 개발한 것도 이같은 선구안 효과라는 분석이다.

메모리 사업을 중심으로 하는 SK하이닉스 역시 후공정에 공을 들이는 모습이다. 실리콘 관통전극(TSV) 기술 기반 HBM은 2013년 SK하이닉스가 세계 최초로 개발한 작품. 인텔 낸드 사업부를 인수한 데에도 컨트롤러와 후공정 기술 제고를 염두에 뒀다고 알려졌다.

/김재용 기자 juk@metroseoul.co.kr

三電, '무어 법칙' 넘어서는 초격차 반도체 생산 주도

꿈의 신소재 '비정질 질화붕소' 발굴
미래기술육성 위해 기초과학분야 지원

삼성전자는 '황의 법칙'으로 무어의 법칙을 뛰어넘는 바 있다. 황의 법칙은 2002년 국제반도체회로학술회의에서 당시 메모리사업부장을 맡고 있던 황창규 전 사장이 주장한 내용으로, 메모리 용량이 무어의 법칙을 넘어 1년에 2배씩 늘어나고 있다는 주장이다.

불과 10년도 지나지 않아 법칙이 깨지긴 했지만, 최근에는 CPU뿐 아니라 메모리를 비롯한 기타 반도체, 기술들이 어우러져 PC 성능을 높이고 있다는 의미로 쓰이기도 한다.

삼성전자는 그동안 무어의 법칙을 지켜오는 데에도 혁혁한 공을 세웠다. D램과 낸드플래시에서 가장 수준 높은 양산 능력을 보유하고 있고, 기술적으로도 경쟁 업체들을 훨씬 앞선 것으로



삼성전자 DS부문 종합기술원 부원장 황성우 부사장이 NPU 관련 설명을 하고 있다. /삼성전자

평가받는다. 파운드리 분야에서도 EUV 공정을 가장 선제적으로 도입했으며, 3나노 미만에서 핀펫을 대신해 양산력을 끌어올릴 게이트 올 어라운드(GAA) 기술도 선보인 상태다.

삼성전은 앞으로도 무어의 법칙을 지킬 파수꾼으로 업계를 리드할 가능성이 높다. 대표적인 성과가 '비정질 질화붕소

(a-BN)' 발견이다. 반도체 성능 한계를 넘어서기 위해서는 작고 안정적으로 성형할 수 있는 신소재 개발이 필수. a-BN은 '꿈의 신소재'라 불리는 그래핀의 파생 소재다. 삼성전자 종합기술원과 울산과학기술원(UNIST)이 공동으로 발견했다. 영국 맨체스터 대학에서 그래핀을 처음 발견한 후 16년 만이다.

그래핀은 아주 얇아 잘 휘어지면서도 단단한 물질이다. 구리보다 전기가 100배 이상 잘 통하고 열 전도성도 훨씬 높고 2차원 평면 구조로, 실리콘 대신 반도체에 적용하면 손쉽게 집적도를 획기적으로 높일 수 있는 소재다.

그러나 저온에서 성장하기 어려운 등 다루기 어려운 탓에 반도체에 적용하지 못하던 상황, 연구팀은 화이트 그래핀 파생 물질인 a-BN이 저온에서도 성장할 수 있음을 입증하며 새로운 반도체 상용화 가능성을 높였다.

삼성미래기술육성사업도 새로운 반도체를 향한 다양한 연구를 진행 중이다. 이사업은 2013년 1조5000억원을 투입해 다양한 기초 과학 분야를 지원하는 내용으로, 세계 최고 학술지에도 여러번 게재하는 성과를 내기도 했다.

UNIST 김경록 교수 연구팀이 연구한 '3진법 금속-산화막-반도체'도 반

도체 혁신을 이룰 중요한 성과 중 하나다. 이 연구팀은 세계 최초로 대면적 실리콘 웨이퍼에서 3진법 반도체를 구현하는데 성공해 네이처지에 발표하기도 했다.

3진법 반도체는 수치상으로 보면 반도체 성능을 50% 늘릴 수 있는 기술이다. 현존하는 반도체가 전류가 통하는지 여부를 가려 0과 1로 작동했다면, 3진법 반도체는 전기가 누설되는 현상까지 연산에 포함시켜 0과 1, 2까지 3진법으로 작동할 수 있다.

마찬가지로 삼성미래기술육성사업이 지원한 서울대학교 화학생물공학부 박정원 교수팀과 한양대학교 에리카(ERIC) 캠퍼스 기계공학과 이원철 교수팀은 미국 로렌스버클리국립연구소와 함께 세계 최초로 핵생성 과정을 원자 수준에서 직접 관찰하는데 성공하기도 했다.

P램은 양자역학을 이용한 상변화메모리, M램은 자기 저항 효과를 이용하며, 빠른 속도와 비휘발성 성질로 D램과 낸드플래시를 하나로 통합할 수 있을 것으로 기대된다. /김재용 기자

난이도 높아지는 미세공정... 개발 후에도 상용화 난감

>> 1면 '무어의 법칙 한계?...'서 계속

EUV는 가격이 1대당 1500억원 안팎에 달한다. 게다가 운용 난이도가 높아 최적화하기까지 상당한 시간과 웨이퍼 비용을 필요로 한다. 글로벌파운드리를

비롯한 파운드리 업체가 7나노 진입을 포기한 것도 이 때문이다.

삼성전자와 TSMC도 EUV 장비를 도입한지 수년이 흘렀지만, 여전히 수익을 낼만큼 공정을 안정화하는데까지 1~2년 가량 필요로 하다고 보고 있다.

미세 공정 문제를 해결해도 더 큰 장애물이 남는다. 첫번째가 전기적 간섭이다. 반도체 선폭을 줄이면 간격도 좁아져 전자가 이탈할 가능성이 높아진다.

반도체 업계는 이를 막기 위해 다양

한 절연 기술을 개발해왔지만, 미세 공정을 따라 더 미세한 방법을 개발해야 하는 탓에 난이도는 더 높아지고 있다.

특히 '터널링 현상'은 아직 통제하기도 어려운 문제다. 터널링은 양자 역학상 나노 세계에서 입자가 공간을 뛰어넘어 마음대로 움직이는 모습을 말한다. /김재용 기자

전자 이동 여부로 연산을 하는 반도체에 터널링 현상이 일어나면 제 역할을 못하게 된다.

반도체 업계는 오히려 터널링 현상을 이용해 P램을 개발하기도 했지만, 수율이 웨이퍼 한장당 몇개에 불과할 정도로 어려운 기술이다. 당초 기대와는 달리 상용화도 좀처럼 이뤄지지 못하고 있다. /김재용 기자